

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-036594

(43)Date of publication of application : 02.02.2000

(51)Int.Cl.

H01L 29/78
H01L 21/28
H01L 21/336

(21)Application number : 10-219752

(71)Applicant : TEXAS INSTR JAPAN LTD

(22)Date of filing : 17.07.1998

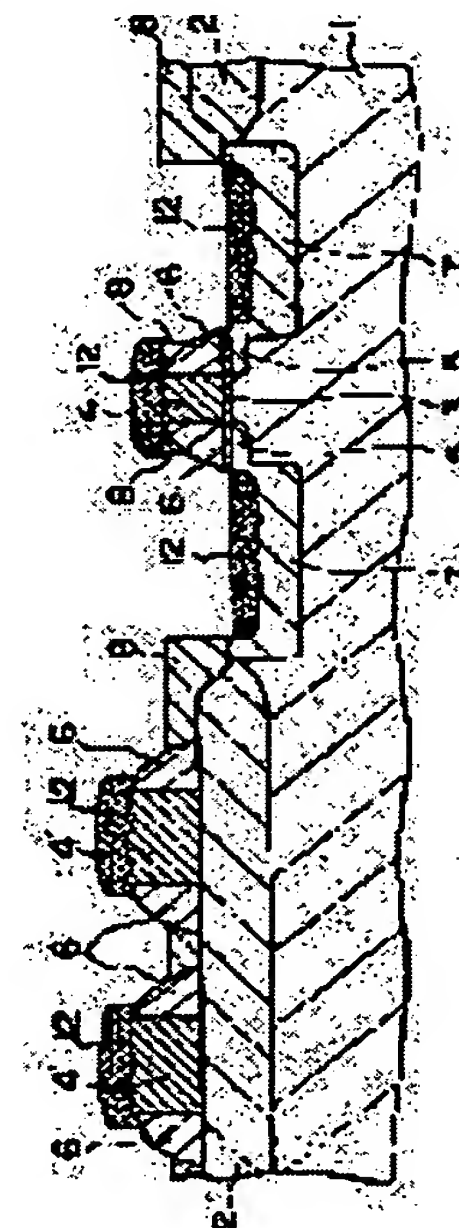
(72)Inventor : TANAKA AKIHIKO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the formation of a mutually high resistance state by the formation of titanium silicide resulting from narrowed width of the gate of a MOSFET.

SOLUTION: The second layer of polysilicon film, having the width wider than a polysilicon film 4, is formed on the first layer of polysilicon film 4, which prescribes the gate width of a MOSFET, and on the side wall SiN film 6 through an SiO₂ film 8. The second layer of polysilicon film is silicified, and a titanium silicide layer 12 is formed. By setting the width of the second layer of polysilicon film inside the side wall SiN film 6, the second layer of polysilicon film and the side wall SiN film 6 function to the SiO₂ film 8 as an etching mask when an aperture is formed for a silicide process.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device with which it has the gate dielectric film formed in one principal plane of a semi-conductor substrate, the 1st conductive layer which consists of the polycrystalline silicon formed on said gate dielectric film, and the 2nd conductive layer which is formed on said 1st conductive layer and consists of silicide broader than said 1st conductive layer, and gate electrode wiring is formed of said the 1st conductive layer and said 2nd conductive layer.

[Claim 2] Said 2nd conductive layer is a semiconductor device according to claim 1 currently formed in contact with the side-attachment-wall insulator layer top of said 1st conductive layer and said 1st conductive layer.

[Claim 3] The semiconductor device according to claim 1 or 2 said whose silicide is titanium silicide or cobalt silicide.

[Claim 4] The process which forms gate dielectric film on the 1 principal plane of a semi-conductor substrate, and the process which forms the 1st conductive layer which consists of polycrystalline silicon on said gate dielectric film, The process which forms the 1st insulator layer all over said semi-conductor substrate, and the process which performs anisotropic etching to said 1st insulator layer, and forms a side-attachment-wall insulator layer in the side attachment wall of said 1st conductive layer, The process which forms the 2nd insulator layer all over said semi-conductor substrate, and the process which performs anisotropic etching until said 1st conductive layer is exposed to said 2nd insulator layer, The process which forms a polycrystalline silicon layer all over said semi-conductor substrate, and the process which carries out patterning of said polycrystalline silicon layer, and forms a polycrystalline silicon layer broader than this 1st conductive layer on said 1st conductive layer, It has the process which forms the refractory metal film all over said semi-conductor substrate, and the process which heat-treats on said refractory metal film, silicide-izes said broad polycrystalline silicon layer, and is made into the 2nd conductive layer. The manufacture approach of a semiconductor device which forms gate electrode wiring which consists of said the 1st conductive layer and said 2nd conductive layer.

[Claim 5] The manufacture approach of a semiconductor device according to claim 4 that said refractory metal is titanium or cobalt.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which has gate electrode wiring of the structure where the laminating of the silicide layer was carried out on the polycrystalline silicon layer, and its manufacture approach.

[0002]

[Description of the Prior Art] Conventionally, many so-called polycide wiring of the structure which carried out the laminating of the silicide layers, such as titanium silicide (TiSi₂), on the polycrystal (Pori) silicon layer is used for gate electrode wiring of MOSFET.

[0003] For example, as shown in drawing 10, the polish recon gate 102 is formed through gate oxide 101 on the silicon semi-conductor substrate 100, the titanium silicide layer 106 is formed in the upper layer of this polish recon gate 102, and gate electrode wiring is constituted.

[0004] In addition, the example of illustration is MOSFET of LDD (Lightly Doped Drain) structure, and is the so-called salicide process (self aryne silicide process: Salicide(Self-Aligned-Silicide) Process). The front face of the source and a drain diffusion layer is also silicide-ized, respectively.

[0005] That is, the high concentration diffusion layer 105 of the pair which mainly constitutes the source and the drain of a transistor is formed in the surface field of the silicon semi-conductor substrate 100 in self align with the side-attachment-wall insulator layer 104 which the low concentration diffusion layer 103 of a pair was formed in self align with the polish recon gate 102, and was prepared in the side attachment wall of the polish recon gate 102.

[0006] In a salicide process, it heat-treats by forming metal membranes, such as titanium, all over this structure, for example, the upper part of the polish recon gate 102 exposed from the side-attachment-wall insulator layer and the surface field of the source / drain diffusion layer are silicide-ized to coincidence, and the titanium silicide layer 106 is formed in each part.

Thereby, the reduction in resistance of gate electrode wiring and low resistance-ization of the surface field of the source / drain diffusion layer which takes contact behind are constituted.

[0007] It is p although the example of CMOS structure is shown in drawing 11. - The common gate electrode wiring 202 is formed ranging over p well 200a and n well 200b which were prepared in the silicon semi-conductor substrate 200. And n+ of the pair which serves as the source of a nMOS transistor, and a drain in the silicon semi-conductor substrate 200 of the both sides of this gate electrode wiring 202 in each component field detached by the component by field oxide 201 p+ of the pair which serves as the source of a pMOS transistor, and a drain at a diffusion layer 203 and a list The diffusion layer 204 is formed, respectively.

[0008]

[Problem(s) to be Solved by the Invention] While high integration of a semiconductor integrated circuit progresses quickly in recent years, detailed-ization of a component also progresses and narrow-width-ization of the gate of MOSFET is also advanced as the end.

[0009] In order for a place to narrow gate width with structure as shown in drawing 10, width of

face of the polish recon gate 102 must be narrowed, but if width of face of the polish recon gate 102 is narrowed, the width of face of the titanium silicide layer 106 on it will also become narrow.

[0010] However, especially, when line breadth was made narrower than about 0.35 micrometers in the case of titanium silicide, compared with the case where line breadth is wide, there was a problem of low-being [resistance] hard coming-izing. That is, in order for the reaction of silicide-izing to advance and for titanium silicide to form low resistance, the phase transition of the crystal structure was required, but when line breadth was narrow, the phase transition stopped being able to happen easily and there was a problem that the reaction of silicide-izing will be completed with comparatively high resistance.

[0011] Moreover, when manufacturing structure as shown in drawing 10 , those ion is usually poured also into the polish recon gate 102 at the time of the ion implantation for forming diffusion layers 103 and 105. However, controlling the phase transition of the titanium [which is p mold / which are an impurity in polish recon and n mold impurity especially doped by high concentration / impurity with which the arsenic (As) was doped similarly, for example] silicide mentioned above [for example / boron (B)], and barring the low resistance-ization is known.

[0012] Thus, especially in the conventional polycide wiring, relative high resistance-ization by thinning of titanium silicide had become one failure of narrow-width-izing of the gate of MOSFET.

[0013] Then, the purpose of this invention is offering the electrode wiring structure of connecting between components other than gate electrode wiring which can perform narrow-width-ization of the gates, such as MOSFET, and other gate electrode wiring, and its manufacture approach, without narrowing line breadth of silicide layers, such as titanium silicide.

[0014]

[Means for Solving the Problem] That the technical problem mentioned above should be solved, with the semiconductor device of this invention, it has the gate dielectric film formed in one principal plane of a semi-conductor substrate, the 1st conductive layer which consists of the polycrystalline silicon formed on said gate dielectric film, and the 2nd conductive layer which is formed on said 1st conductive layer and consists of silicide broader than said 1st conductive layer, and gate electrode wiring is formed of said the 1st conductive layer and said 2nd conductive layer.

[0015] In the semiconductor device of this invention, said 2nd conductive layer is good to be formed in contact with the side-attachment-wall insulator layer top of said 1st conductive layer and said 1st conductive layer. Moreover, it is good that said silicide is ** titanium silicide or cobalt silicide.

[0016] Moreover, the process which forms gate dielectric film on the 1 principal plane of a semi-conductor substrate by the manufacture approach of the semiconductor device of this invention, The process which forms the 1st conductive layer which consists of polycrystalline silicon on said gate dielectric film, The process which forms the 1st insulator layer all over said semi-conductor substrate, and the process which performs anisotropic etching to said 1st insulator layer, and forms a side-attachment-wall insulator layer in the side attachment wall of said 1st conductive layer, The process which forms the 2nd insulator layer all over said semi-conductor substrate, and the process which performs anisotropic etching until said 1st conductive layer is exposed to said 2nd insulator layer, The process which forms a polycrystalline silicon layer all over said semi-conductor substrate, and the process which carries out patterning of said polycrystalline silicon layer, and forms a polycrystalline silicon layer broader than this 1st conductive layer on said 1st conductive layer, It has the process which forms the refractory metal film all over said semi-conductor substrate, and the process which heat-treats on said refractory metal film, silicide-izes said broad polycrystalline silicon layer, and is made into the 2nd conductive layer, and gate electrode wiring which consists of said the 1st conductive layer and said 2nd conductive layer is formed.

[0017] In the manufacture approach of the semiconductor device of this invention, it is good that said refractory metal is titanium or cobalt.

[0018]

[Embodiment of the Invention] Hereafter, this invention is explained according to the gestalt of desirable operation.

[0019] With reference to drawing 1 - drawing 9, the semiconductor device by the gestalt of this operation is explained according to the manufacture approach.

[0020] first, it is shown in drawing 1 -- as -- the surface field of the silicon semi-conductor substrate 1 -- for example, LOCOS -- after forming field oxide 2 alternatively and performing isolation by law, gate oxide 3 is formed in component formation fields, such as MOSFET surrounded by the field oxide 2.

[0021] Next, the polish recon film 4 is formed in the whole surface, and patterning of this is carried out by photolithography and dry etching. At this time, the polish recon film 4 in a component formation field, and polish recon film 4' in the other field field with the gestalt of this 1st operation in a component formation field On the field field which serves as gate width of MOSFET, for example, forms electrode wiring for connecting between the other components to the width of face of $a = 0.15$ [μm] extent etc., in order to secure the low resistance of wiring, the width of face of $c = 0.30$ [μm] extent is processed, respectively. Moreover, thickness of the polish recon film 4 and 4' is taken for example, as $b = 0.20$ [μm] extent.

[0022] Since the thickness of this polish recon film 4 of the 1st layer may be thinner than the conventional gate electrode polish recon, at the time of that part and micro processing, a photoresist is thin, it ends and patterning of a thin line becomes easy. Moreover, since the thickness of the polish recon film 4 is thin, defects of shape, such as an undercut, decrease at the time of etching.

[0023] next, **** called the cap oxide film (not shown) of for example, about 0.01-micrometer thickness on the whole surface following the cleaning after the above-mentioned patterning -- a thin oxide film is generated. The ion implantation of an impurity is comparatively performed on both sides of the polish recon film 4 with a dose, and the low concentration diffusion layer 5 of the pair in LDD structure is made to form in the part by subsequent heat treatment after an appropriate time, using field oxide 2 and the polish recon film 4 of a component formation field as an ion-implantation mask.

[0024] Next, after forming in the whole surface the silicon nitride (Si_3N_4) film 6 which is the 1st insulator layer, as shown in drawing 2, anisotropic etching of it is carried out and the side-attachment-wall insulator layer 6 is formed in the side attachment wall of the polish recon film 4 and the pattern of 4'. Although silicon nitride was used for this side-attachment-wall insulator layer, other insulating materials, such as silicon oxide film by the CVD method, may be used.

[0025] Thereby, in a component formation field, full [including the polish recon film 4 and the side-attachment-wall insulator layer 6 of the both sides] serves as for example, $d = 0.45$ [μm] extent.

[0026] Next, the ion implantation of an impurity is comparatively performed on the outside of the side-attachment-wall insulator layer 6 in a high-dose amount, and the high concentration diffusion layer 7 of the pair which mainly constitutes the source and the drain of MOSFET into the part is made to form by subsequent heat treatment, using field oxide 2, and the polish recon film 4 of a component formation field and the side-attachment-wall insulator layer 6 of the both sides as an ion-implantation mask.

[0027] next, it is shown in drawing 3 -- as -- the good chemical vapor deposition (CVD) of step coverage -- the silicon oxide film (SiO_2) film 8 which is the 2nd insulator layer by law is formed in the whole surface by the polish recon film 4 and thickness comparable as 4'.

[0028] Next, it is SiO_2 as shown in drawing 4. While performing the etchback method by dry etching to the film 8 and carrying out flattening of the front face, the thickness is decreased until the top face of the polish recon film 4 of a component formation field is exposed.

[0029] Since the side-attachment-wall insulator layer 6 which consists of SiN functions as an etching stopper to polish recon film 4' on field oxide 2 at this time, it is prevented that that polish recon film 4' is greatly exposed. Of course, the side-attachment-wall insulator layer 6 in a component formation field also functions as an etching stopper.

[0030] In addition, SiO₂ to which flattening of the front face was carried out in this way It is effective to form the film 8 also to flattening of the whole interlayer insulation film performed behind.

[0031] Next, as shown in drawing 5 , after forming the polish recon film 9 of a non dope in the whole surface, patterning of this is carried out by photolithography and dry etching. Although it is processed into the broad pattern with which the polish recon film 9 includes the polish recon film [of the 1st layer] 4, and top-face top of 4' at this time a little, that width of face can be made thick for example, in a component formation field to the part which lengthened the predetermined alignment margin from full [which applied the width of face of the side-attachment-wall insulator layer 6 of those both sides to the width of face of the polish recon film 4 of the 1st layer]. For example, as shown in drawing 5 , the pattern width of face of the polish recon film 9 lengthened for example, makes it $d1 = 0.35$ [μm] extent from full [full / of the polish recon film 4 and the side-attachment-wall insulator layer 6 of both sides of the 1st layer] (refer to drawing 1), for example, $d = 0.45$ [μm] extent, each alignment margin, for example, $d2 = 0.05$ [μm] extent, of both sides. Moreover, thickness of the polish recon film 9 is taken for example, as $e = 0.08$ [μm] extent.

[0032] Thus, the pattern width of face of the polish recon film 9 is set up for securing the self-align (self aryne) nature to the side-attachment-wall insulator layer 6 of the silicide layer formed in the source and a drain field front face, respectively at the time of a next salicide process, and maintaining the symmetric property of a transistor inside full [of the polish recon film 4 and the side-attachment-wall insulator layer 6 of both sides of the 1st layer].

[0033] Therefore, when the need does not exist especially, it is also possible to set up more greatly than full [of the polish recon film 4 and the side-attachment-wall insulator layer 6 of both sides of the 1st layer] the pattern width of face of the polish recon film 9.

[0034] Next, with the gestalt of this operation, as shown in drawing 6 , in order to perform a salicide process, after forming a photoresist 10 in the whole surface, patterning of this photoresist 10 is carried out with photolithography, and opening 10a is formed on a component formation field in the inside like illustration for a while rather than field oxide 2.

[0035] SiO₂ of the part which performed dry etching after an appropriate time, using this photoresist 10 as an etching mask, and was exposed in opening 10a Etching removal of the film 8 (and gate oxide 3 and cap oxide film mentioned above under it) is carried out, and the front face of the silicon semi-conductor substrate 1 is exposed. Since the polish recon film 9 and the side-attachment-wall insulator layer 6 of a component formation field also function as an etching mask like illustration, respectively at this time, where a self aryne is carried out to the side-attachment-wall insulator layer 6, the part of the high concentration diffusion layer 7 is exposed.

[0036] Namely, SiO₂ in opening 10a when the width of face of the polish recon film 9 is set up outside the side-attachment-wall insulator layer 6, not using the side-attachment-wall insulator layer 6 by the SiN film It will depend for the boundary by the side of the gate electrode of the film 8 on the mask precision of the photolithography at the time of patterning of the polish recon film 9. Therefore, it is very difficult to control it to the symmetry correctly to the polish recon film 4 of the 1st layer which is the gate of MOSFET. On the other hand, the side-attachment-wall insulator layer 6 is formed of anisotropic etching, as mentioned already, and the width of face is substantially decided by thickness of the polish recon film 4. Therefore, on both sides of the polish recon film 4, since the side-attachment-wall insulator layer 6 with very sufficient symmetric property is obtained, as mentioned above, where a self aryne is carried out to those side-attachment-wall insulator layers 6, in the next Salicide process, the silicide layer of the

source/drain can be formed with sufficient symmetric property to the gate by exposing the part of the high concentration diffusion layer 7.

[0037] Moreover, with the gestalt of this operation, so that a photoresist 10 may protect the LOCOS edge section of field oxide 2 certainly to a field oxide 2 side While forming opening 10a in the part which went into the component formation field side for a while from the LOCOS edge section Can take path clearance sufficient between the silicide layers and the LOCOS edge sections which are formed at the next Salicide process, for example, it sets at the Salicide process. Short-time annealing (RTA:Rapid Thermal Annealing or RTP:Rapid Thermal Processing) with little (there is almost no expansion of the longitudinal direction of the source / drain field) diffusion of the source / drain dopant Even when silicide-ization boiled and depended is performed, the short circuit between a silicide layer and a substrate can be prevented certainly.

[0038] Next, as shown in drawing 7 , after removing a photoresist 10, the titanium (Ti) film 11 is formed in the whole surface by the spatter at about 400Å of thickness.

[0039] Next, as shown in drawing 8 , perform RTP, the polish recon film 9, the Ti film 11 on it, and the high concentration diffusion layer 7 and the Ti film 11 on it are made to react, respectively, and the titanium silicide layer 12 is formed in polish recon film [of the 1st layer] 4, and 4' top, and the surface field of the high concentration diffusion layer 7 which mainly constitutes the source/drain, respectively. After an appropriate time, the unreacted Ti film 11 is removed.

[0040] The titanium silicide layer 12 of low resistance can always be formed, without being dependent on the gate width of MOSFET on the polish recon film 4 which specifies the gate width of MOSFET with the gestalt of this operation at this time, since the polish recon film 9 broader than that polish recon film 4 is formed and that broad polish recon film 9 is silicide-ized.

[0041] Moreover, since the polish recon film 9 of a non dope is silicide-ized, low resistance-ization of the titanium silicide layer 12 is not checked with impurities (arsenic etc.) which were mentioned above.

[0042] Furthermore, like this example, if the thickness of the polish recon film 9 is beforehand set as about 2 times of the thickness of the Ti film 11, the thing of the polish recon film 9 for which all can be substantially made into titanium silicide (TiSi_2), contest non dope polysilicon of comparatively high resistance remains in gate electrode wiring by this, and wiring is formed into high resistance will be prevented.

[0043] Moreover, although dispersion had occurred in how to be able to do titanium silicide in a nMOS field and a pMOS field for example, since the impurity kinds poured into the polish recon of gate electrode wiring in a nMOS field and a pMOS field differed by the former in the case of CMOS structure as shown in drawing 11 With the configuration of the gestalt of this operation, dispersion hardly generates a nMOS field and a pMOS field in how which titanium silicide can do in order to silicide-ize contest non dope polysilicon.

[0044] Next, after forming an interlayer insulation film 13 in the whole surface as shown in drawing 9 for example, to the interlayer insulation film 13, the contact hole which arrives at the source and a drain field, respectively is punctured, further, pattern formation of the metal wiring 14 is carried out so that the inside of those contact holes may be included, and MOSFET is completed.

[0045] As explained above, with the gestalt of this operation, the polish recon film 9 formed in gate electrode wiring on the polish recon film 4 which specifies the gate width of MOSFET, and its polish recon film 4 is silicide-ized, and low resistance-ization of gate electrode wiring is attained. Therefore, even if gate width of MOSFET is made narrow-width by about 0.1–0.35 micrometers, what could always secure about 0.35 micrometers or more than it, consequently was effectively formed into low resistance as width of face of the polish recon film 9, for example even when it was for example, titanium silicide can be made to always form suitably.

[0046] Moreover, since the polish recon film 9 of a non dope can be silicide-ized, for example, it is not prevented with impurities (arsenic etc.) which low resistance-ization of titanium silicide

mentioned above, and the formation conditions of titanium silicide can be eased on the contrary conventionally.

[0047] In addition, SiO₂ shown in drawing 6 by the silicide process with the gestalt of this operation explained above when the need does not exist especially, although the source of MOSFET and the front face of a drain field were also silicide-ized, respectively What is necessary is not to perform the drilling process of the film 8 but to silicide-ize only the polish recon film 9 of gate electrode wiring.

[0048] Moreover, although it constituted to the broad pattern rather than it was able to set in an above-mentioned example and was able to set the polish recon film 4 of the 1st layer to a component formation field on field oxide 2 other than a component formation field for the reduction in resistance of the whole gate electrode wiring When sufficient low resistance-ization of the whole gate electrode wiring is attained only in the titanium silicide layer 12, the polish recon film 4 may be formed in the same width of face as a component formation field also on field oxide 2.

[0049]

[Effect of the Invention] In this invention, on a polycrystalline silicon layer, the laminating of the silicide layer of a broad pattern is carried out, and gate electrode wiring consists of the polycrystalline silicon layer. Gate width, such as MOSFET, can be made narrow-width, without following, for example, checking low resistance-ization of titanium silicide.

[0050] Moreover, since polish recon of a non dope was silicide-ized, for example, low resistance was formed suitably in that case for example, without being influenced of an impurity, a titanium silicide layer can be formed, as a result the formation conditions of silicide can be eased conventionally.

[Translation done.]

(51)Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)	
H 0 1 L 29/78	3 0 1	H 0 1 L 29/78	3 0 1 G	4 M 1 0 4
21/28		21/28	3 0 1 D	5 F 0 4 0
21/336		29/78	3 0 1 T	
			3 0 1 Y	

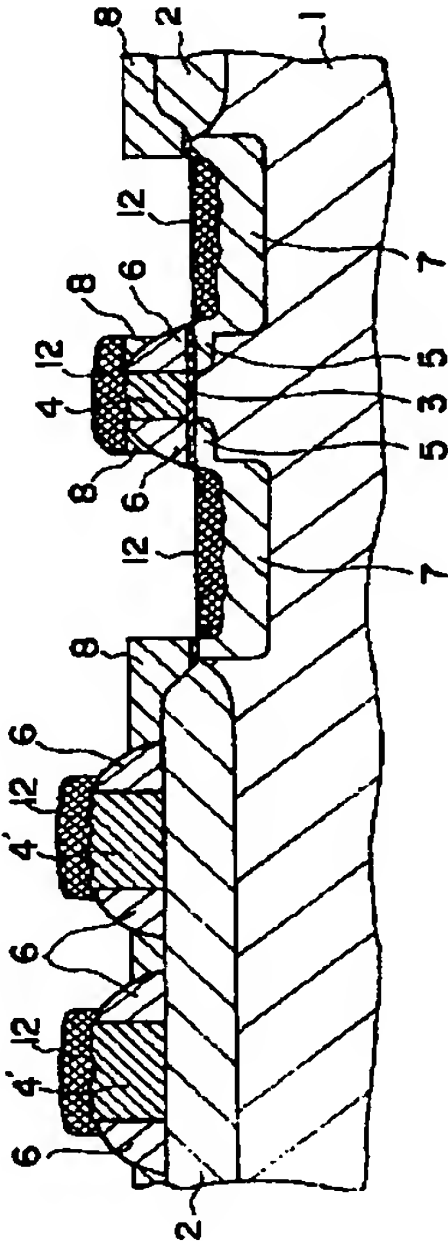
審査請求 未請求 請求項の数 5 F D (全 8 頁)

(21)出願番号	特願平10-219752	(71)出願人	390020248 日本テキサス・インスツルメンツ株式会社 東京都新宿区西新宿 6 丁目24番 1 号 西新 宿三井ビル
(22)出願日	平成10年 7 月17日 (1998. 7. 17)	(72)発明者	田中 明彦 茨城県稲敷郡美浦村木原2355番地 日本テ キサス・インスツルメンツ株式会社内
		(74)代理人	100086564 弁理士 佐々木 聖孝

最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】
【課題】MOSFETのゲートの狭幅化に伴うチタンシリサイドの細線化による相対的な高抵抗化を防止する。
【解決手段】MOSFETのゲート幅を規定する1層目のポリシリコン膜4の上、及び、側壁SiN膜6の上にSiO₂膜8を介して、ポリシリコン膜4よりも幅広の2層目のポリシリコン膜を形成し、その2層目のポリシリコン膜をシリサイド化して、チタンシリサイド層12を形成する。2層目のポリシリコン膜の幅を側壁SiN膜6の内側に設定することにより、シリサイドプロセスのための開口形成時、その2層目のポリシリコン膜と側壁SiN膜6が、SiO₂膜8に対するエッチングマスクとして機能する。



【特許請求の範囲】

【請求項1】 半導体基板の一主面に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成された多結晶シリコンから成る第1の導電層と、

前記第1の導電層上に形成され、前記第1の導電層よりも幅広のシリサイドから成る第2の導電層とを有し、前記第1の導電層と前記第2の導電層とによりゲート電極配線が形成されている半導体装置。

【請求項2】 前記第2の導電層は、前記第1の導電層および前記第1の導電層の側壁絶縁膜上に接して形成されている、請求項1に記載の半導体装置。

【請求項3】 前記シリサイドがチタンシリサイドまたはコバルトシリサイドである、請求項1又は請求項2に記載の半導体装置。

【請求項4】 半導体基板の一主面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に多結晶シリコンから成る第1の導電層を形成する工程と、

前記半導体基板の全面に第1の絶縁膜を形成する工程と、

前記第1の絶縁膜に対して異方性エッチングを施して前記第1の導電層の側壁に側壁絶縁膜を形成する工程と、

前記半導体基板の全面に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜に対して前記第1の導電層が露出するまで異方性エッチングを施す工程と、

前記半導体基板の全面に多結晶シリコン層を形成する工程と、

前記多結晶シリコン層をパターニングして前記第1の導電層上にこの第1の導電層よりも幅広の多結晶シリコン層を形成する工程と、

前記半導体基板の全面に高融点金属膜を形成する工程と、

前記高融点金属膜に熱処理を施して前記幅広の多結晶シリコン層をシリサイド化して第2の導電層とする工程とを有し、前記第1の導電層と前記第2の導電層とから成るゲート電極配線を形成する、半導体装置の製造方法。

【請求項5】 前記高融点金属がチタンまたはコバルトである、請求項4に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多結晶シリコン層の上にシリサイド層が積層された構造のゲート電極配線を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来、MOSFETのゲート電極配線には、多結晶（ポリ）シリコン層の上にチタンシリサイド（TiSi₂）等のシリサイド層を積層した構造の、所謂、ポリサイド配線が多く用いられている。

【0003】例えば、図10に示すように、シリコン半導体基板100上に、ゲート酸化膜101を介してポリシリコンゲート102が形成され、このポリシリコンゲート102の上層に、例えば、チタンシリサイド層106が形成されて、ゲート電極配線が構成される。

【0004】なお、図示の例は、LDD（Lightly Doped Drain）構造のMOSFETで、所謂、シリサイドプロセス（セルフ・アライン・シリサイド・プロセス：Salicide(Self-Aligned-Silicide)Process)により、そのソース及びドレイン拡散層の表面も夫々シリサイド化されている。

【0005】即ち、シリコン半導体基板100の表面領域には、ポリシリコンゲート102と自己整合的に一對の低濃度拡散層103が形成され、また、ポリシリコンゲート102の側壁に設けられた側壁絶縁膜104と自己整合的に、トランジスタのソース及びドレインを主として構成する一對の高濃度拡散層105が形成されている。

【0006】シリサイドプロセスでは、例えば、この構造の全面にチタン等の金属膜を形成し、熱処理を施して、側壁絶縁膜から露出しているポリシリコンゲート102の上部及びソース／ドレイン拡散層の表面領域を同時にシリサイド化し、夫々の部分にチタンシリサイド層106を形成する。これにより、ゲート電極配線の低抵抗化と、後にコンタクトをとるソース／ドレイン拡散層の表面領域の低抵抗化とが構成される。

【0007】図11に、CMOS構造の例を示すが、pシリコン半導体基板200に設けられたpウェル200aとnウェル200bとに跨がって共通のゲート電極配線202が形成されている。そして、フィールド酸化膜201で素子分離された夫々の素子領域には、このゲート電極配線202の両側のシリコン半導体基板200内に、nMOSトランジスタのソース及びドレインとなる一對のn⁺拡散層203、並びに、pMOSトランジスタのソース及びドレインとなる一對のp⁺拡散層204が夫々形成されている。

【0008】

【発明が解決しようとする課題】近年、半導体集積回路の高集積化が急速に進む中、素子の微細化も進み、その一端として、MOSFETのゲートの狭幅化も進められている。

【0009】ところが、例えば、図10に示すような構造でゲート幅を狭くするためには、ポリシリコンゲート102の幅を狭くするしかないが、ポリシリコンゲート102の幅を狭くすると、その上のチタンシリサイド層106の幅も狭くなる。

【0010】ところが、特に、チタンシリサイドの場合、線幅を、例えば、0.35μm程度よりも狭くすると、線幅の広い場合に比べて、低抵抗化し難くなるという問題が有った。即ち、シリサイド化の反応が進行して

チタンシリサイドが低抵抗化するためには、その結晶構造の相転移が必要であるが、線幅が狭いと、その相転移が起こり難くなり、比較的高抵抗のままシリサイド化の反応が終了してしまうという問題が有った。

【0011】また、図10に示すような構造を製造する場合、通常、拡散層103及び105を形成するためのイオン注入時、ポリシリコンゲート102にもそれらのイオンが注入される。ところが、ポリシリコン中の不純物、特に、高濃度にドーパされたn型不純物である例えばヒ素(As)は、同様にドーパされたp型不純物である例えばボロン(B)に比較して、上述したチタンシリサイドの相転移を抑制し、その低抵抗化を妨げることが知られている。

【0012】このように、従来のポリサイド配線では、特に、チタンシリサイドの細線化による相対的な高抵抗化が、MOSFETのゲートの狭幅化の1つの障害となっていた。

【0013】そこで、本発明の目的は、チタンシリサイド等のシリサイド層の線幅を狭くすることなく、MOSFET等のゲートの狭幅化が行えるゲート電極配線や、その他のゲート電極配線以外の素子間を接続する電極配線構造及びその製造方法を提供することである。

【0014】

【課題を解決するための手段】上述した課題を解決すべく、本発明の半導体装置では、半導体基板の一主面に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された多結晶シリコンから成る第1の導電層と、前記第1の導電層上に形成され、前記第1の導電層よりも幅広のシリサイドから成る第2の導電層とを有し、前記第1の導電層と前記第2の導電層とによりゲート電極配線が形成されている。

【0015】本発明の半導体装置においては、前記第2の導電層は、前記第1の導電層および前記第1の導電層の側壁絶縁膜上に接して形成されているのがよい。また、前記シリサイドがチタンシリサイドまたはコバルトシリサイドであるのがよい。

【0016】また、本発明の半導体装置の製造方法では、半導体基板の一主面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に多結晶シリコンから成る第1の導電層を形成する工程と、前記半導体基板の全面に第1の絶縁膜を形成する工程と、前記第1の絶縁膜に対して異方性エッチングを施して前記第1の導電層の側壁に側壁絶縁膜を形成する工程と、前記半導体基板の全面に第2の絶縁膜を形成する工程と、前記第2の絶縁膜に対して前記第1の導電層が露出するまで異方性エッチングを施す工程と、前記半導体基板の全面に多結晶シリコン層を形成する工程と、前記多結晶シリコン層をパターニングして前記第1の導電層上にこの第1の導電層よりも幅広の多結晶シリコン層を形成する工程と、前記半導体基板の全面に高融点金属膜を形成する工程と、前記高

融点金属膜に熱処理を施して前記幅広の多結晶シリコン層をシリサイド化して第2の導電層とする工程とを有し、前記第1の導電層と前記第2の導電層とから成るゲート電極配線を形成する。

【0017】本発明の半導体装置の製造方法においては、前記高融点金属がチタンまたはコバルトであるのがよい。

【0018】

【発明の実施の形態】以下、本発明を好ましい実施の形態に従い説明する。

【0019】図1～図9を参照して、本実施の形態による半導体装置を、その製造方法に従い説明する。

【0020】先ず、図1に示すように、シリコン半導体基板1の表面領域に、例えば、LOCOS法により、選択的にフィールド酸化膜2を形成して素子分離を行った後、そのフィールド酸化膜2で囲まれたMOSFET等の素子形成領域にゲート酸化膜3を形成する。

【0021】次に、全面にポリシリコン膜4を形成し、これを、フォトリソグラフィ及びドライエッチングによりパターニングする。この時、この第1の実施の形態では、素子形成領域におけるポリシリコン膜4と、それ以外のフィールド領域におけるポリシリコン膜4'とを、素子形成領域では、MOSFETのゲート幅となる、例えば $a = 0.15 [\mu m]$ 程度の幅に、それ以外の、素子間を接続するため等の電極配線を形成するフィールド領域上では、配線の低抵抗性を確保するために、例えば、 $c = 0.30 [\mu m]$ 程度の幅に夫々加工する。また、ポリシリコン膜4、4'の膜厚は、例えば、 $b = 0.20 [\mu m]$ 程度とする。

【0022】この1層目のポリシリコン膜4の膜厚は、従来のゲート電極ポリシリコンよりも薄くて良いので、その分、微細加工時にフォトレジストが薄くて済み、細線のパターニングが容易になる。また、ポリシリコン膜4の膜厚が薄いので、エッチング時にアンダーカット等の形状不良が少なくなる。

【0023】次に、上記パターニング後のクリーニングに続き、全面に例えば、約 $0.01 \mu m$ 厚のキャップ・オキサイド膜(図示せず)と称する極く薄い酸化膜を生成する。しかる後、フィールド酸化膜2と素子形成領域のポリシリコン膜4とをイオン注入マスクとして用いて、ポリシリコン膜4の両側に比較的ドーズ量で不純物のイオン注入を行い、その後の熱処理により、その部分にLDD構造における一对の低濃度拡散層5を形成させる。

【0024】次に、全面に第1の絶縁膜である窒化シリコン(Si_3N_4)膜6を形成した後、図2に示すように、それを異方性エッチングして、ポリシリコン膜4、4'のパターンの側壁に側壁絶縁膜6を形成する。この側壁絶縁膜には、窒化シリコンを用いたが、CVD法による酸化シリコン膜等、その他の絶縁物を用いてもよ

い。

【0025】これにより、素子形成領域において、ポリシリコン膜4とその両側の側壁絶縁膜6とを含めた全幅は、例えば、 $d = 0.45$ [μm] 程度となる。

【0026】次に、フィールド酸化膜2と、素子形成領域のポリシリコン膜4及びその両側の側壁絶縁膜6とをイオン注入マスクとして用いて、側壁絶縁膜6の外側に比較的高ドーズ量で不純物のイオン注入を行い、その後の熱処理により、その部分に、MOSFETのソース及びドレインを主として構成する一対の高濃度拡散層7を形成させる。

【0027】次に、図3に示すように、ステップカバレッジの良い化学気相成長(CVD)法による第2の絶縁膜である酸化シリコン膜(SiO_2)膜8を、例えば、ポリシリコン膜4、4'と同程度の膜厚で全面に形成する。

【0028】次に、図4に示すように、 SiO_2 膜8に対しドライエッチングによるエッチバック法を行って、その表面を平坦化するとともに、素子形成領域のポリシリコン膜4の上面が露出するまで、その膜厚を減少させる。

【0029】この時、フィールド酸化膜2上のポリシリコン膜4'に対しては、 SiN からなる側壁絶縁膜6がエッチングストッパーとして機能するので、そのポリシリコン膜4'が大きく露出することが防止される。勿論、素子形成領域における側壁絶縁膜6もエッチングストッパーとして機能する。

【0030】なお、このように表面が平坦化された SiO_2 膜8を設けることは、後に行う層間絶縁膜全体の平坦化に対しても有効である。

【0031】次に、図5に示すように、全面にノンドープのポリシリコン膜9を形成した後、これを、フォトリソグラフィ及びドライエッチングによりパターンニングする。この時、ポリシリコン膜9は、1層目のポリシリコン膜4、4'の上面を含む若干幅広のパターンに加工するが、その幅は、例えば、素子形成領域において、1層目のポリシリコン膜4の幅に、その両側の側壁絶縁膜6の幅を加えた全幅から所定のアライメントマージンを引いた分まで太くすることができる。例えば、図5に示すように、ポリシリコン膜9のパターン幅は、1層目のポリシリコン膜4とその両側の側壁絶縁膜6との全幅、例えば、 $d = 0.45$ [μm] 程度(図1参照)から、両側夫々のアライメントマージン、例えば、 $d_2 = 0.05$ [μm] 程度を引いた、例えば、 $d_1 = 0.35$ [μm] 程度とする。また、ポリシリコン膜9の膜厚は、例えば、 $e = 0.08$ [μm] 程度とする。

【0032】このように、ポリシリコン膜9のパターン幅を、1層目のポリシリコン膜4とその両側の側壁絶縁膜6との全幅よりも内側に設定するのは、後のサリサイドプロセス時、ソース及びドレイン領域表面に夫々形成

するシリサイド層の側壁絶縁膜6に対する自己整合(セルフアライン)性を確保して、トランジスタの対称性を維持するためである。

【0033】従って、特に、その必要が無い場合には、ポリシリコン膜9のパターン幅を、1層目のポリシリコン膜4とその両側の側壁絶縁膜6との全幅よりも大きく設定することも可能である。

【0034】次に、図6に示すように、本実施の形態では、サリサイドプロセスを行うために、全面にフォトレジスト10を形成した後、このフォトレジスト10を、フォトリソグラフィによりパターンニングして、図示の如く、フィールド酸化膜2よりも少し内側において、素子形成領域上に開口10aを形成する。

【0035】しかる後、このフォトレジスト10をエッチングマスクとして用いてドライエッチングを行い、開口10a内に露出した部分の SiO_2 膜8(及び、その下のゲート酸化膜3及び前述したキャップ・オキサイド膜)をエッチング除去して、シリコン半導体基板1の表面を露出させる。この時、図示の如く、素子形成領域のポリシリコン膜9及び側壁絶縁膜6も夫々エッチングマスクとして機能するので、側壁絶縁膜6に対しセルフアラインした状態で、高濃度拡散層7の部分が露出する。

【0036】即ち、もし SiN 膜による側壁絶縁膜6を用いず、或いは、ポリシリコン膜9の幅を側壁絶縁膜6よりも外側に設定したような場合、開口10aにおける SiO_2 膜8のゲート電極側の境界は、ポリシリコン膜9のパターンニング時のフォトリソグラフィのマスク精度に依存することになる。従って、それを、MOSFETのゲートである1層目のポリシリコン膜4に対し正確に対称に制御することは極めて困難である。一方、側壁絶縁膜6は、既述したように異方性エッチングにより形成され、その幅は、実質的に、ポリシリコン膜4の膜厚で決まる。従って、ポリシリコン膜4の両側で、極めて対称性の良い側壁絶縁膜6が得られるので、上述したように、それらの側壁絶縁膜6に対しセルフアラインした状態で、高濃度拡散層7の部分を露出させることにより、後のサリサイド工程において、ソース/ドレインのシリサイド層を、ゲートに対し対称性良く形成することができる。

【0037】また、本実施の形態では、フィールド酸化膜2の側において、フォトレジスト10が、フィールド酸化膜2のLOCOSエッジ部を確実に保護するように、そのLOCOSエッジ部から少し素子形成領域側に入った部分に開口10aを形成するとともに、後のサリサイド工程で形成されるシリサイド層とLOCOSエッジ部との間に十分なクリアランスをとることができ、例えば、サリサイド工程において、ソース/ドレインドープの拡散の少ない(ソース/ドレイン領域の横方向の拡大が殆ど無い)短時間アニール(RTA: Rapid Thermal Annealing又は RTP: Rapid Thermal Processin

g) によるシリサイド化を行った場合でも、シリサイド層と基板との間の短絡を確実に防止することができる。

【0038】次に、図7に示すように、フォトレジスト10を除去した後、全面に、例えば、スパッタ法によりチタン(Ti)膜11を、例えば、膜厚400Å程度に形成する。

【0039】次に、図8に示すように、例えば、RTPを行って、ポリシリコン膜9とその上のTi膜11、及び、高濃度拡散層7とその上のTi膜11を夫々反応させ、1層目のポリシリコン膜4、4'の上、及び、ソース/ドレインを主として構成する高濃度拡散層7の表面領域に夫々チタンシリサイド層12を形成する。しかる後、未反応のTi膜11を除去する。

【0040】この時、本実施の形態では、MOSFETのゲート幅を規定するポリシリコン膜4の上に、そのポリシリコン膜4よりも幅広のポリシリコン膜9を設け、その幅広のポリシリコン膜9をシリサイド化するので、MOSFETのゲート幅に依存すること無く、常に、低抵抗のチタンシリサイド層12を形成することができる。

【0041】また、ノンドープのポリシリコン膜9をシリサイド化するので、チタンシリサイド層12の低抵抗化が、前述したような不純物(ヒ素など)により阻害されることが無い。

【0042】更に、本例のように、ポリシリコン膜9の膜厚を、Ti膜11の膜厚の2倍程度に予め設定しておく、と、ポリシリコン膜9の実質的に全てをチタンシリサイド(TiSi₂)にすることができ、これにより、ゲート電極配線に、比較的高抵抗のノンドープポリシリコンが残って配線を高抵抗化することが防止される。

【0043】また、例えば、図11に示すようなCMOS構造の場合、従来では、nMOS領域とpMOS領域とでゲート電極配線のポリシリコンに注入される不純物種が異なるために、nMOS領域とpMOS領域とでチタンシリサイドの出来方にばらつきが発生していたが、本実施の形態の構成では、nMOS領域、pMOS領域共、ノンドープポリシリコンをシリサイド化することになるため、チタンシリサイドの出来方にばらつきが殆ど発生しない。

【0044】次に、図9に示すように、例えば、全面に層間絶縁膜13を形成した後、その層間絶縁膜13に、ソース及びドレイン領域に夫々達するコンタクトホールを開孔し、更に、それらのコンタクトホール内を含むように金属配線14をパターン形成して、MOSFETを完成する。

【0045】以上に説明したように、本実施の形態では、ゲート電極配線を、MOSFETのゲート幅を規定するポリシリコン膜4と、そのポリシリコン膜4の上に形成された、そのポリシリコン膜9をシリサイド化して、ゲート電極配線の低抵抗化を達成する。従って、M

MOSFETのゲート幅が、例えば、0.1~0.35μm程度に狭幅化されても、ポリシリコン膜9の幅としては、例えば、0.35μm程度若しくはそれ以上を常に確保することができ、この結果、例えば、チタンシリサイドの場合でも、有効に低抵抗化されたものを常に好適に形成させることができる。

【0046】また、ノンドープのポリシリコン膜9をシリサイド化することができるので、例えば、チタンシリサイドの低抵抗化が前述したような不純物(ヒ素など)により阻害されることが無く、却って、従来よりもチタンシリサイドの形成条件を緩和することができる。

【0047】なお、以上に説明した本実施の形態では、シリサイドプロセスにより、MOSFETのソース及びドレイン領域の表面も夫々シリサイド化したが、特に、その必要が無い場合には、例えば、図6に示すSiO₂膜8の孔開け工程を行わず、ゲート電極配線のポリシリコン膜9のみをシリサイド化すれば良い。

【0048】また、上述の例では、ゲート電極配線全体の低抵抗化のために、1層目のポリシリコン膜4を、素子形成領域以外のフィールド酸化膜2上では、素子形成領域におけるよりも幅広のパターンに構成したが、チタンシリサイド層12のみでゲート電極配線全体の十分な低抵抗化が達成されるような場合には、ポリシリコン膜4を、フィールド酸化膜2上でも素子形成領域と同じ幅に形成して良い。

【0049】

【発明の効果】本発明においては、多結晶シリコン層の上に、その多結晶シリコン層よりも幅広パターンのシリサイド層を積層してゲート電極配線を構成している。従って、例えば、チタンシリサイドの低抵抗化を阻害すること無く、MOSFET等のゲート幅を狭幅化することができる。

【0050】また、例えば、ノンドープのポリシリコンをシリサイド化することができるので、その場合には、不純物の影響を受けることなく、好適に低抵抗化された、例えば、チタンシリサイド層を形成することができ、ひいては、シリサイドの形成条件を従来よりも緩和することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態による半導体装置の製造工程を示す概略断面図である。

【図2】同、実施の形態による半導体装置の製造工程を示す概略断面図である。

【図3】同、実施の形態による半導体装置の製造工程を示す概略断面図である。

【図4】同、実施の形態による半導体装置の製造工程を示す概略断面図である。

【図5】同、実施の形態による半導体装置の製造工程を示す概略断面図である。

【図6】同、実施の形態による半導体装置の製造工程を

示す概略断面図である。

【図7】同、実施の形態による半導体装置の製造工程を示す概略断面図である。

【図8】同、実施の形態による半導体装置の製造工程を示す概略断面図である。

【図9】同、実施の形態による半導体装置の製造工程を示す概略断面図である。

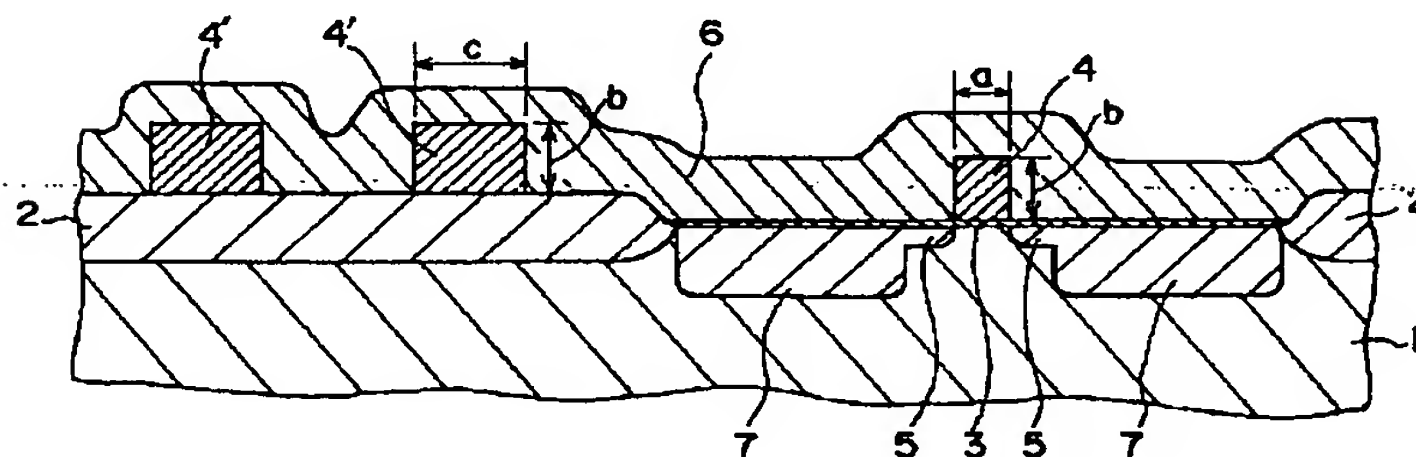
【図10】従来の半導体装置の概略断面図である。

【図11】CMOS構成の半導体装置を示す概略図である。

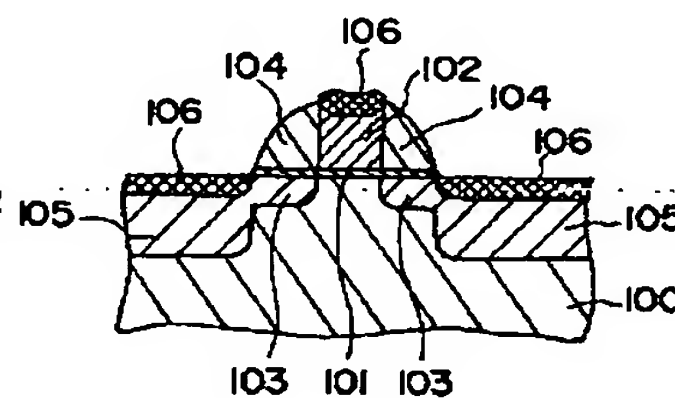
【符号の説明】

1…シリコン半導体基板、2…フィールド酸化膜、3…ゲート酸化膜、4、4'…ポリシリコン膜（1層目）、5…低濃度拡散層、6…側壁絶縁膜（SiN膜）、7…高濃度拡散層、8…SiO₂膜、9…ポリシリコン膜（2層目）、12…チタンシリサイド層

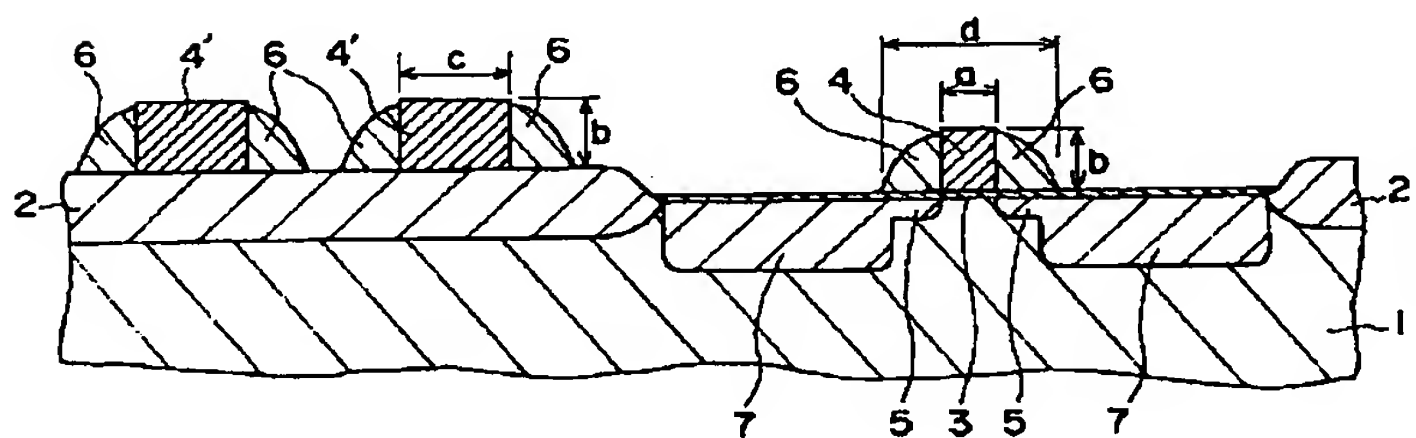
【図1】



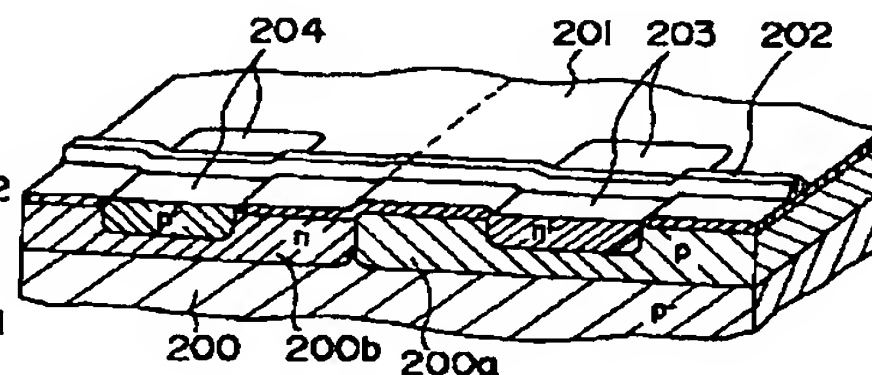
【図10】



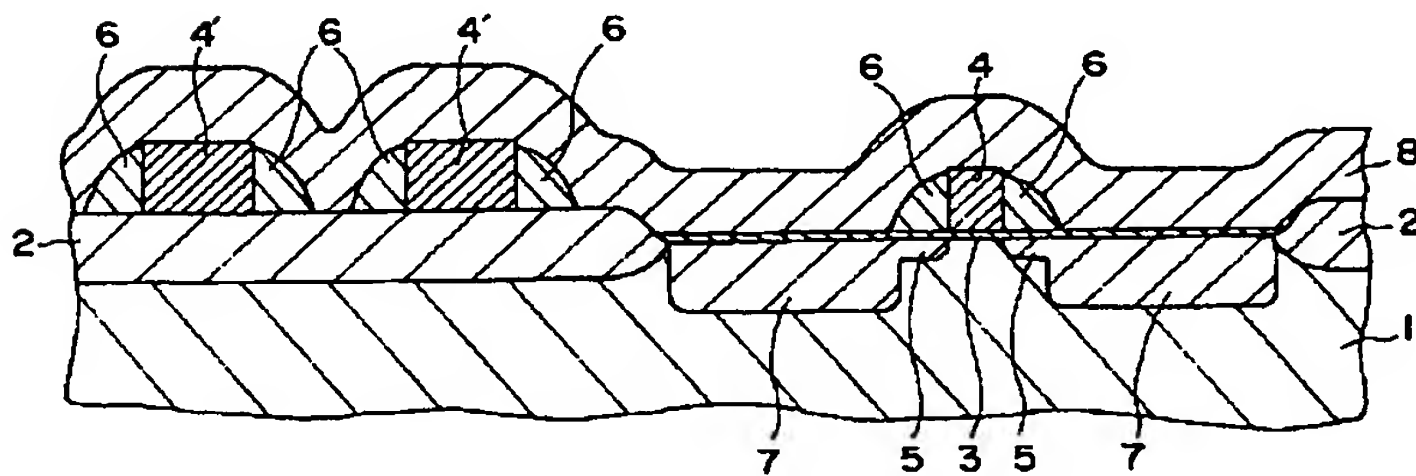
【図2】



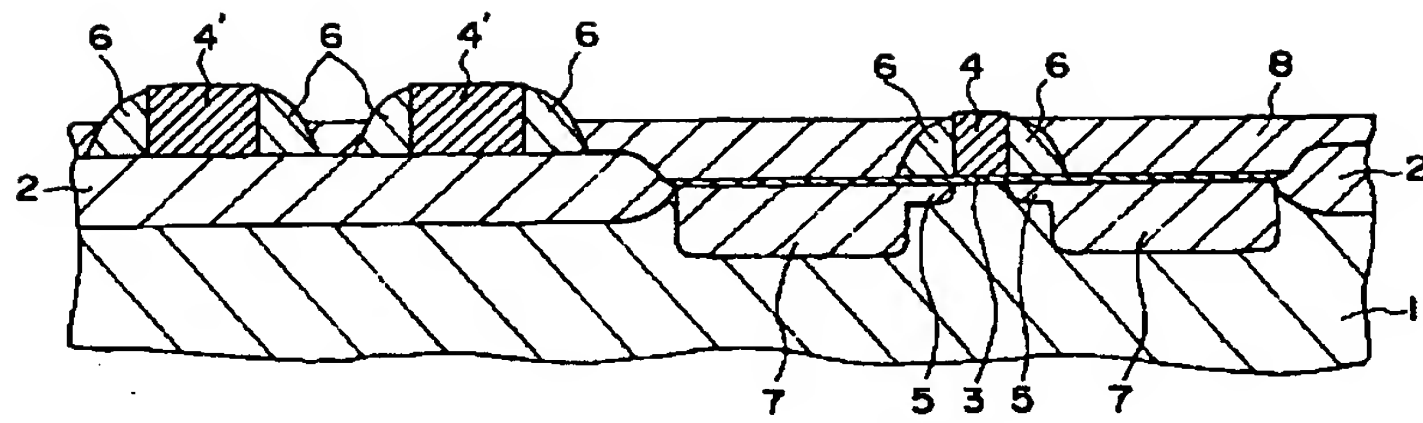
【図11】



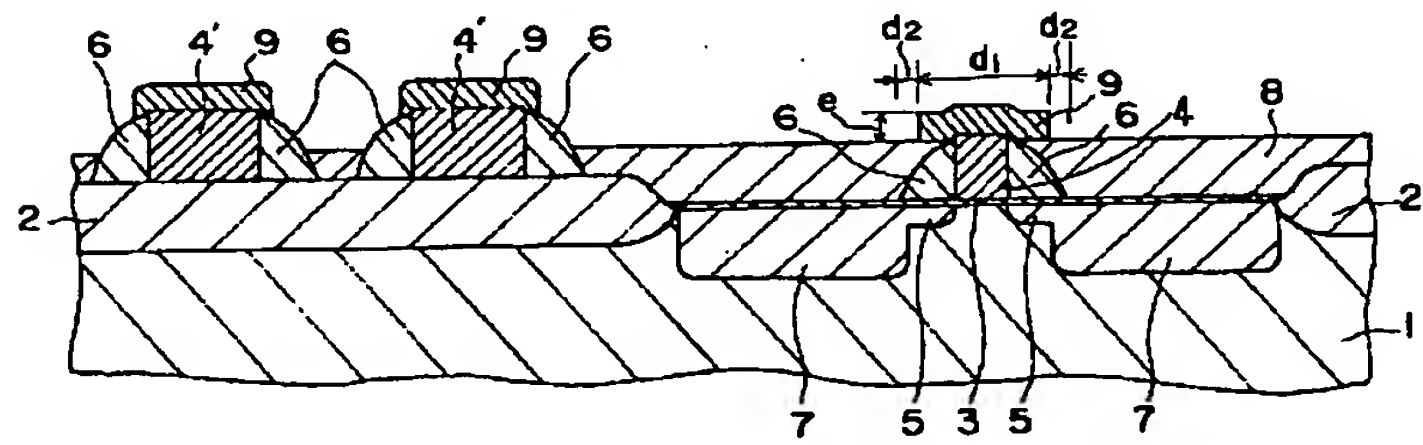
【図3】



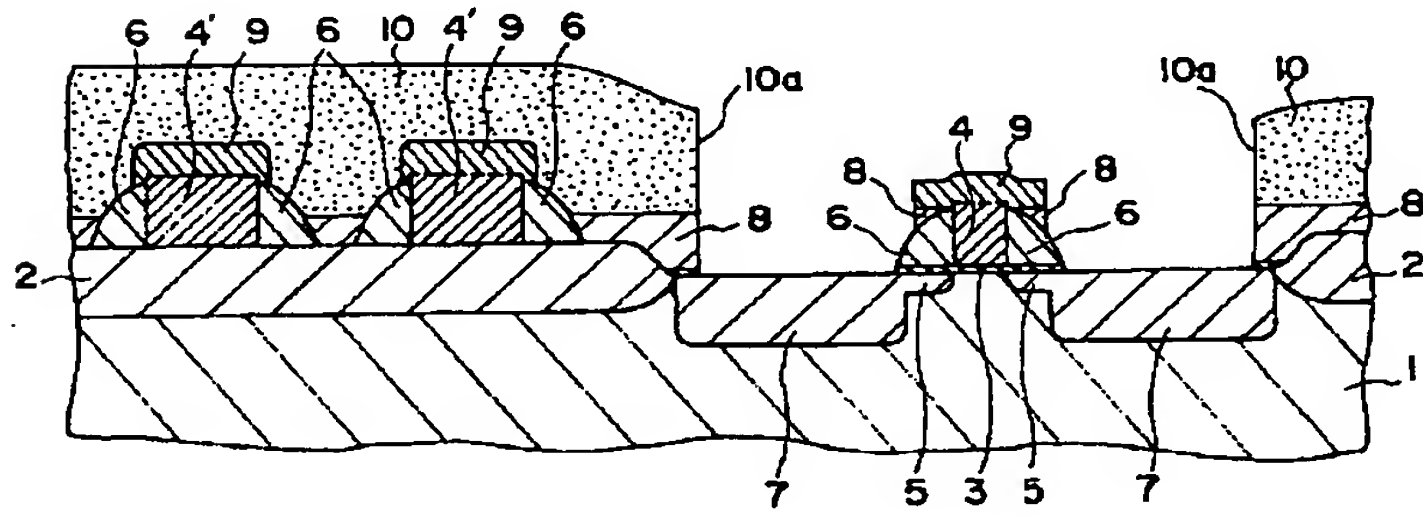
【図4】



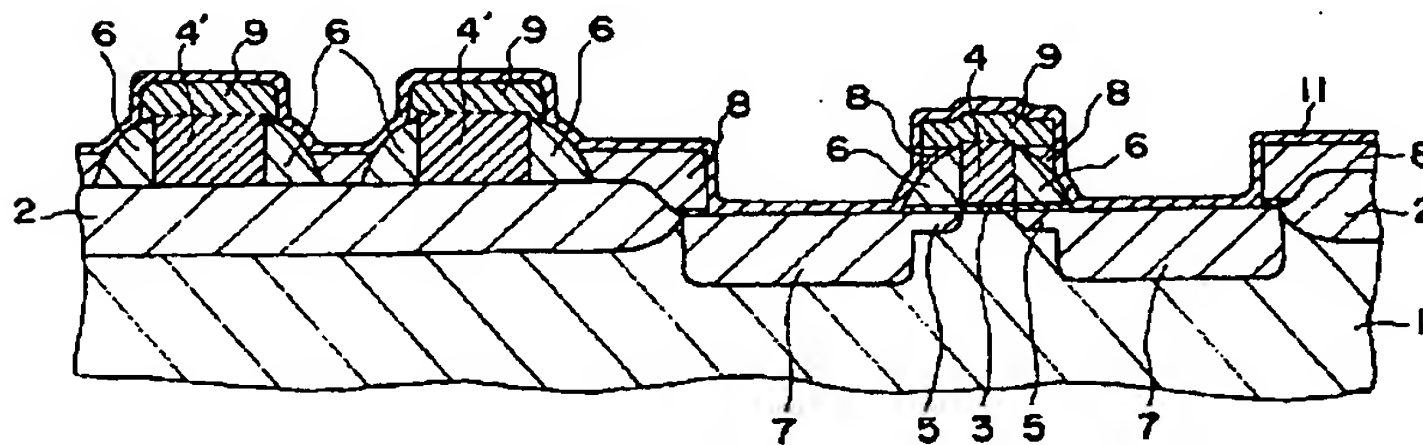
【図5】



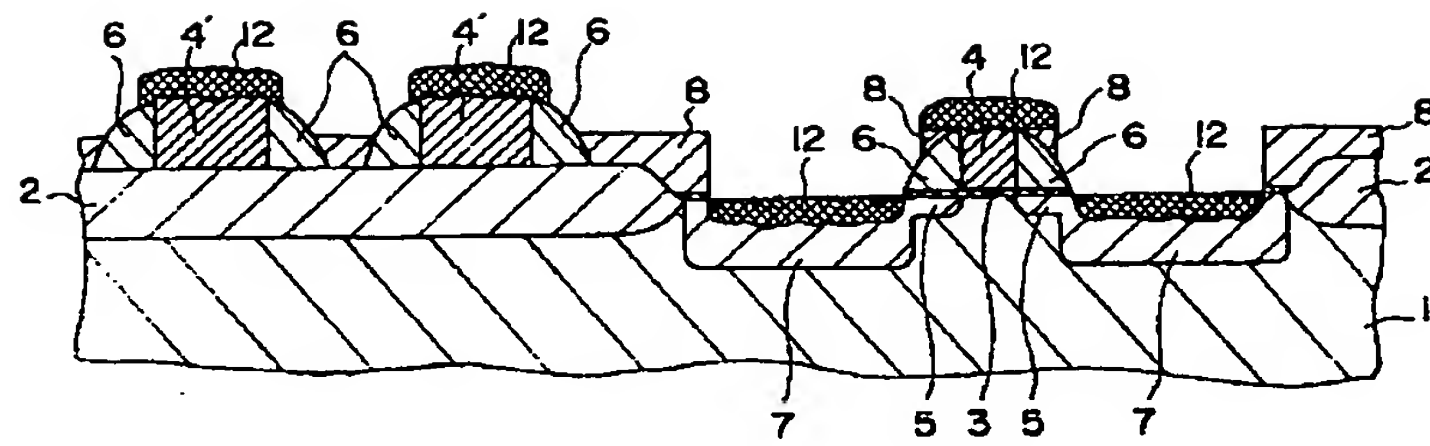
【図6】



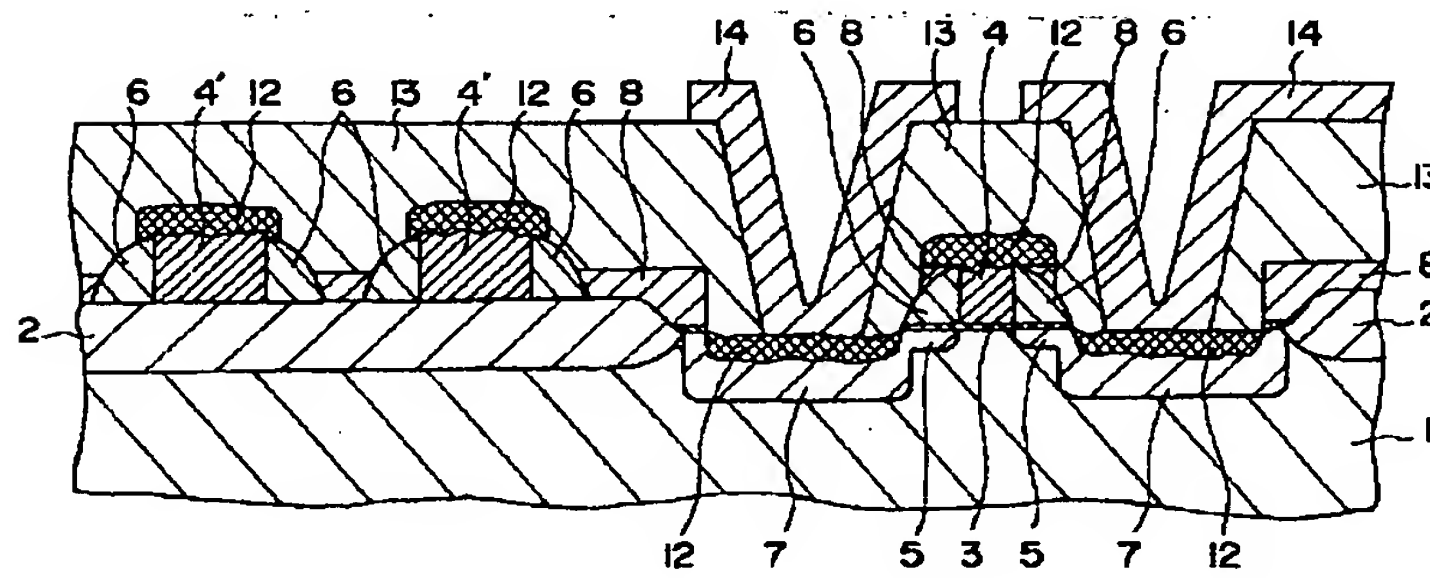
【図7】



【図8】



【図9】



フロントページの続き

Fターム(参考) 4M104 AA01 BB01 BB20 BB25 CC01
 CC05 DD04 DD37 DD80 DD84
 DD88 DD89 EE09 EE17 FF07
 FF14 GG09 GG10 HH16
 5F040 DA01 DA14 DB03 DC01 EC01
 EC04 EC07 EC13 EC19 EF02
 EF11 EH02 EJ08 EK01 FA03
 FA05 FA07 FA16 FA19 FB02
 FB04 FC00 FC19 FC28